

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196076

(43)Date of publication of application : 14.07.2000

(51)Int.CI.

H01L 29/78

H01L 21/28

H01L 21/336

H01L 29/786

(21)Application number : 10-372019

(71)Applicant : SHARP CORP

(22)Date of filing : 28.12.1998

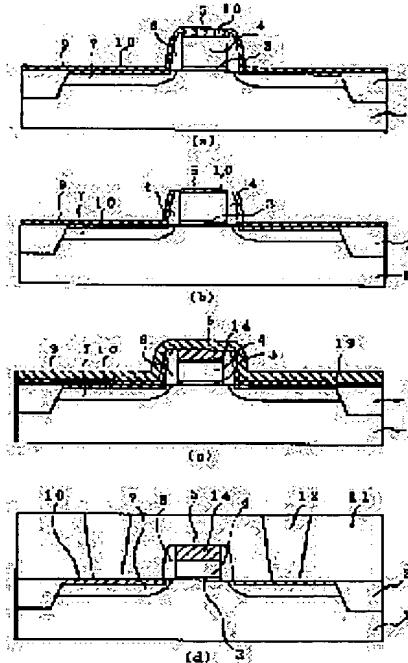
(72)Inventor : KOBAYASHI HIDENORI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize with a simple process a method which can manufacture a transistor, where the sheet resistance of the silicide film made at the gate electrode part is smaller than those of the silicide films made in the source/drain regions.

SOLUTION: A silicide film is made by stacking a first high melting point metal 9 on the source/drain regions 7 and on the gate electrode 5, and then heat-treating them. At this time, a reactant with atmospheric gas at heat treatment is formed on the surface of the first high melting point metal layer 9. Next, the silicide film in the gate electrode 5 part is grown by stacking a second high melting point metal 19 and heat-treating it after the removal of the first high melting point metal, including the reactant on the gate electrode 5, and also the growth of the silicide film can be suppressed by utilizing the reactant on the source/drain regions 7 as a diffused blocking film of the second high melting point metal 19.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-196076

(P2000-196076A)

(43)公開日 平成12年7月14日 (2000.7.14)

(51)Int.Cl'	識別記号	F I	デマコト [®] (参考)
H 01 L 29/78		H 01 L 29/78	3 0 1 G 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 D 5 F 0 4 0
21/336		29/78	3 0 1 P 5 F 1 1 0
29/786			6 1 6 J
			6 1 7 L

審査請求 未請求 請求項の数 7 OL (全 7 頁)

(21)出願番号	特願平10-372019	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成10年12月28日 (1998. 12. 28)	(72)発明者	小林 秀紀 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74)代理人	100103296 弁理士 小池 隆彌

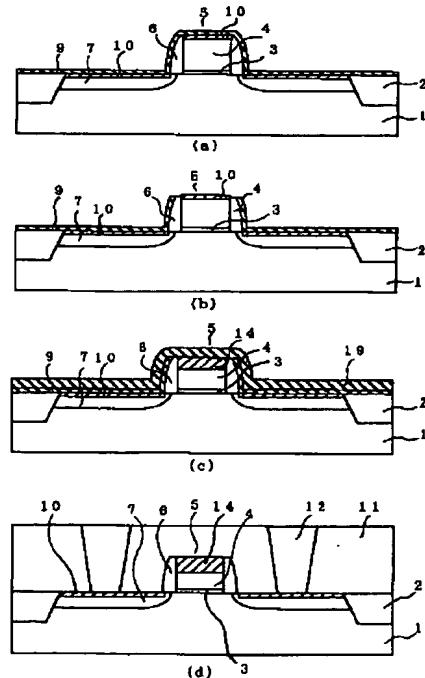
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ゲート電極部に形成されたシリサイド膜のシート抵抗値をソース／ドレイン領域に形成されたシリサイド膜のそれよりも小さいトランジスタを簡易な工程で製造することができる方法を提供する。

【解決手段】 ソース／ドレイン領域上及びゲート電極上に第1高融点金属を堆積した後、熱処理することによってシリサイド膜を形成する。このとき、第1高融点金属の表面には熱処理時の雰囲気ガスとの反応物が形成される。次にゲート電極上の反応物を含む第1高融点金属を除去した後、第2高融点金属を堆積し熱処理することによって、ゲート電極部のシリサイド膜を成長させるとともに、ソース／ドレイン領域上の反応物を第2高融点金属の拡散ブロッキング膜として活用することによってシリサイド膜の成長を押さえることができる。



【特許請求の範囲】

【請求項1】 半導体基板上に、ゲート電極、ソース領域、ドレイン領域を形成する工程と、第1の高融点金属膜を全面に形成する工程と、第1の熱処理を行うことによって前記ゲート電極上部及び前記ソース領域及び前記ドレイン領域に第1のシリサイド膜を形成する工程と、ゲート電極上の前記第1高融点金属膜及び前記第1の熱処理時に生じた前記第1高融点金属膜の表面に形成された反応物を除去する工程と、第2の高融点金属を全面に形成する工程と、第2の熱処理を行うことによって前記ゲート電極上のみに第2のシリサイド膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1のシリサイド膜と前記第2のシリサイド膜が同じ金属材料からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記反応物を反応性イオンエッチングにより除去することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記第2の高融点金属を半導体装置上に形成する前または後に、ゲート電極の第1シリサイド膜にイオン注入することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記第2の高融点金属を半導体装置上に形成する前または後に、ソース領域及びドレイン領域の第1シリサイド膜にイオン注入することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記第2の高融点金属を、前記ゲート電極上に選択成長させることによって、前記第2のシリサイド膜を形成することを特徴とする請求項1乃至請求項5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記半導体基板がSOI基板であることを特徴とすることを特徴とする請求項1乃至請求項5のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明はシリサイド膜を利用した半導体装置の製造方法に関し、特にゲート電極の低抵抗化と接合リード電流の低減を図る半導体装置の製造方法に関する。

【0002】

【従来の技術】 一般にMOS型トランジスタでは、コンタクト抵抗及び配線抵抗などの寄生抵抗を低減することが動作速度を向上するための重要な要素である。これらトランジスタの寄生抵抗の低減には、一般にソース/ドレイン領域及びゲート電極の上部表面をシリサイド化することにより行われている。

【0003】 この方法はソース/ドレイン領域及びゲート電極の上部表面を同時にシリサイド化するので、ソース/ドレイン領域とゲート電極上に形成されるシリサイド膜の膜厚がほぼ同一であった。従って、比較的面積の

広いソース/ドレイン領域と面積の狭いゲート電極上のシリサイド膜のシート抵抗が異なる。

【0004】 例えば高融点金属としてチタンを使用してシリサイド化した場合、シリサイド形成領域の面積が狭いほどシリサイド膜のシート抵抗が増大する為に、ソース/ドレイン領域よりもゲート電極の上部に形成されたシリサイド膜のシート抵抗が増加することが避けられなかった。面積の狭いゲート電極上のシート抵抗値をソース/ドレイン領域と同程度の低いシート抵抗値にする為には、ゲート電極上のシリサイド膜の膜厚をソース/ドレイン領域のそれよりも大きくすることが必要となる。一方、ソース/ドレイン領域に形成されるシリサイド膜の膜厚を増大させると、接合リード電流が増大することとなる。

【0005】 また、SOI (Silicon On Insulator) 基板を用いた場合、特に埋め込み酸化膜の耐圧が比較的低いSIMOX (Separate by Implanted Oxide) 基板の場合には、シリサイド膜底面が埋め込み酸化膜に到達あるいは接近した場合、埋め込み酸化膜の耐圧を劣化させ、トランジスタ動作に障害を与えることになる。これらの問題を解決する方法としては、ソース/ドレイン領域のシリサイド膜厚よりもゲート電極上のシリサイド膜厚を厚くしてシート抵抗を低下させることが必要となる。この方法として以下の様な方法が知られている。

【0006】 例えば第1の従来技術として、図4に、特開平9-320993号公報に示されている半導体装置の製造方法を示す。

【0007】 先ず、図4(a)に示すように、シリコン基板1上に選択酸化法(LOCOS法)等によりフィールド酸化膜2及び素子形成領域を形成する。そして、素子形成領域にゲート酸化膜層、その上に多結晶シリコン層を順次積層したのち、多結晶シリコン層中に砒素等のN型不純物をイオン注入する。

【0008】 次に、ゲート酸化膜層、多結晶シリコン層をフォトリソグラフィ及びエッチングにより加工して、ゲート酸化膜3及びゲート電極部5の一部をなす多結晶シリコン膜4を形成する。次に、全面に酸化膜を被着し(図示せず)、かつこれを異方性エッチングすることで、多結晶シリコン膜4の両側面にサイドウォールスペーサー6を形成する。

【0009】 次に、多結晶シリコン膜4とサイドウォールスペーサー6をマスクとして砒素等のN型不純物をイオン注入した後、熱処理を行って活性化し、高濃度のソース/ドレイン領域7を形成する。その後、全面にチタン等の高融点金属層9を堆積させた後に、熱処理を行ってゲート電極部5の一部をなすシリサイド膜10を形成する。

【0010】 次に、図4(b)に示すように、シリサイド化されていない高融点金属層9及びその表面に形成さ

れている熱処理時の反応物（図示せず）を除去し、シリサイド膜10のシート抵抗を低減させる為に再びアーナル処理を行う。次に、全面にCVD法で層間絶縁膜11を形成し、層間絶縁膜11をエッチバックすることにより、多結晶シリコン膜4の上面及びその側面上部を露出させる。

【0011】続いて、図4(c)に示すように、図4(a)のシリサイド膜10の形成方法と同様にTi等の高融点金属膜19を全面に堆積して、ゲート電極部5の上部にシリサイド膜14を形成する。なお、多結晶シリコン膜4の上部側面にも第2シリサイド膜14を形成することによって、シリサイド膜14の有効面積を大きくして安定形成を行っている。

【0012】次に、図4(d)に示すように、層間絶縁膜11上に絶縁膜を追加形成して厚い層間絶縁膜18を形成する。更に、厚い層間絶縁膜18の所定の箇所に、コンタクトホール12を開口し、アルミ等の配線層を形成することで、各トランジスタのソース/ドレイン領域に電気的に接続される。

【0013】また、第2の従来技術として特開平6-216378号公報では、トランジスタのソース/ドレイン領域7及び多結晶シリコン膜4の上部に同時にシリサイド膜10を形成する。その後、図5に示すようにゲート電極5上にパシベーション膜（シリコン塗化膜）15を形成し、その上にPSG絶縁層16を堆積する。そして、レジスト塗布後、反応性イオンエッチングによりゲート電極部5のシリサイド膜10の表面が露出するまでエッチバックを行う。また化学機械研磨法では上記PSG絶縁層16を形成後にゲート電極部5上のパシベーション膜15が露出するまで研磨する。その後、フォトリソグラフィ及びエッチングによりゲート電極部5の上面、その上部側面及びソース領域/ドレイン領域7に達するように開口部を設けてTi等の高融点金属を充填している。

【0014】また、第3の従来技術として特開平10-209075号公報では、図6に示すようにゲート電極部5の両側面にサイドウォールスペーサー6を形成し、イオン注入によって高濃度のソース/ドレイン領域7を形成した後に、ソース/ドレイン領域7上に金属膜もしくは金属シリサイド膜あるいはそれらの積層膜を1700Å～2200Å程度全面に堆積し（図示せず）、化学機械研磨を用いて、ソース/ドレイン領域7の上面に埋込金属膜17を形成して低抵抗化を図っている。

【0015】

【発明が解決しようとする課題】第1の従来技術は、ゲート電極部5の上部のシリサイド膜10の形成に際し、層間絶縁膜11を形成後エッチバック法を用いて多結晶シリコン膜4の上面及びその上部側面を露出している。本方法によれば、層間絶縁膜と多結晶シリコンとの選択性が悪く、多結晶シリコン膜4が大きくエッチング

される可能性がある。また、第2の従来技術では、パシベーション膜15の除去工程が必要となる為に、工程が煩雑となる。また、コンタクトホール12形成時のエッチングにおいて、パシベーション膜15のエッティングレートが減少する為に、パシベーション膜とその下のシリサイド膜10との選択性が悪くなり、最悪の場合、コンタクトホール12形成時にシリサイド膜10を突き破る可能性がある。更に、上記従来例1、2共にシリサイド化反応を行った後の未反応の高融点金属膜の除去工程を2回行う必要がある。また、層間絶縁膜形成工程も2回行うこと必要がある。このため、製造工程が複雑になるという問題がある。

【0016】また、第3の従来技術では、ソース/ドレイン領域7上に金属膜もしくは金属シリサイド膜あるいはそれらの積層膜を1700Å～2200Å程度堆積する為に、ソース/ドレイン領域7とゲート電極部5との距離が近くなる。ゲート電極部5の上部に形成されたシリサイド膜10のシート抵抗を低減する為に、ゲート電極上のシリサイド膜が横方向成長し、ソース/ドレイン領域7とゲート電極部5との間でショートが発生しやすくなる。

【0017】

【課題を解決するための手段】以上のような問題点を解決するため、本発明の製造方法は、半導体基板上に、ゲート電極、ソース領域、ドレイン領域を形成する工程と、第1の高融点金属膜を全面に形成する工程と、第1の熱処理を行うことによって前記ゲート電極上部及び前記ソース領域及び前記ドレイン領域に第1のシリサイド膜を形成する工程と、ゲート電極上の前記第1高融点金属膜及び前記第1の熱処理時に生じた前記第1高融点金属膜の表面に形成された反応物を除去する工程と、第2の高融点金属を全面に形成する工程と、第2の熱処理を行うことによって前記ゲート電極上のみに第2のシリサイド膜を形成する工程とを含むことを特徴とする半導体装置の製造方法であって、工程を簡略化することができる。

【0018】また、本発明の製造方法は、前記第1のシリサイド膜と前記第2のシリサイド膜が同じ金属材料からなることを特徴とする請求項1記載の半導体装置の製造方法である。また、本発明の製造方法は、前記反応物を反応性イオンエッチングにより除去することを特徴とする請求項1記載の半導体装置の製造方法である。また、本発明の製造方法は、前記第2の高融点金属を半導体装置上に形成する前または後に、ゲート電極の第1シリサイド膜にイオン注入することを特徴とする請求項1記載の半導体装置の製造方法であって、第2シリサイド膜のシリサイド化反応を促進させることができる。

【0019】また、本発明の製造方法は、前記第2の高融点金属を半導体装置上に形成する前または後に、ソース領域及びドレイン領域の第1シリサイド膜にイオン注

入することを特徴とする請求項4記載の半導体装置の製造方法であって、第2シリサイド膜のシリサイド化反応を促進させることができる。

【0020】また、本発明の製造方法は、前記第2の高融点金属を、前記ゲート電極上に選択成長させることによって、前記第2のシリサイド膜を形成することを特徴とする請求項1乃至請求項5のいずれかに記載の半導体装置の製造方法である。前記半導体基板がSOI基板であることを特徴とする請求項1乃至請求項5のいずれかに記載の半導体装置の製造方法であって、接合リーキ電流の低減、埋込み酸化膜の耐圧劣化を防止することができる。

【0021】

【発明の実施の形態】以下、実施の形態に基づいて、本発明を詳細に説明する。

【0022】(実施例1) 次に、本発明の実施例1を図1を参照して説明する。本発明に用いる半導体基板は、シリコン単結晶基板もしくはSOI基板でもよいが、以下の説明はシリコン基板を用いた場合について行う。

【0023】まず、図1(a)に示すように、シリコン基板1上に素子分離用として、選択酸化法によりフィールド酸化膜2を3500Å形成する。そして、素子形成領域にゲート酸化膜層を70Å、多結晶シリコン層を2000Å順次積層したのち、フォトリソグラフィ及びエッティングにより加工してゲート酸化膜3及びゲート電極部5の一部となる多結晶シリコン膜4を形成する。その後、多結晶シリコン膜4をマスクとして自己整合的に³¹P⁺を30keVの加速エネルギー、2×10¹³c m⁻²のドーズ量、及び⁷⁵As⁺を40keVの加速エネルギー、5×10¹³c m⁻²のドーズ量でイオン注入を行い、ソース/ドレイン領域7に低濃度拡散層(図示せず)を形成する。

【0024】続いて、全面に、HTO膜(High Temperature Oxide:高温CVD酸化膜)を1400Å形成し、HTO膜を異方性エッティングする事により、多結晶シリコン膜4の両側面にサイドウォールスペーサー6を形成する。その後、ソース/ドレイン領域となる領域及び多結晶シリコン膜4に不純物を高濃度に注入(⁴⁹BF²⁺を40keVの加速エネルギー、2×10¹⁵c m⁻²のドーズ量、75As⁺を50keVの加速エネルギー、3×10¹⁵c m⁻²のドーズ量)することにより、ソース/ドレイン領域7を形成するとともに、多結晶シリコン膜4に不純物を導入する。イオン注入後、注入イオンの活性化及びシリコン基板1の結晶回復のために800~900°C、5~60分間の炉アーナール熱処理を行う。

【0025】次に、高融点金属膜9をスパッタリング法、真空蒸着法、選択CVD法等により全面に形成する。高融点金属膜9としては、W、Ta、Ti、Co、Ni、Pt等があり、その膜厚は150Å~700Å程

度が好ましい。ここで、150Å未満の場合ソース/ドレイン領域7上のシリサイド膜10が薄くなるので、シート抵抗が高くなる。また、700Åを越えるとソース/ドレイン領域7上のシリサイド膜10が厚くなってしまってソース/ドレイン領域7に接近するので、リーキ電流が増大することになる。

【0026】続いて行われる熱処理により、高融点金属膜9とそれに接しているソース/ドレイン領域7及びゲート電極部5の上部の多結晶シリコン膜4のシリコンが固相反応することでシリサイド膜10が形成される。熱処理時の雰囲気ガスと接触している高融点金属膜13と雰囲気ガスとが反応してその表面に反応物が形成される。この熱処理は高融点金属膜13をソース/ドレイン領域及びゲート電極部5の多結晶シリコン膜4の表面のシリコンと反応させるためのものであり、ランプアニュール法(Rapid Thermal Anneal法)や電気炉アニュール法等を利用することができる。

【0027】ここで、アニュール雰囲気としては窒素などの不活性ガス雰囲気下で行う事が好ましい。また、熱処理は600°C~750°C程度の温度範囲、20秒~60秒程度行う事が好ましい。これにより、シリコン基板1上に直接形成された高融点金属膜13の一部は、シリコンと反応して、シリサイド膜10を形成する。なお、熱処理により形成されるシリサイド膜厚は100~1000Å程度である。また、高融点金属膜13の表面に形成される反応物の膜厚は50~500Å程度である。本実施例では、シリコン基板1上に200Å程度の厚さのTi膜13を全面に形成し、窒素ガス雰囲気で40秒間、700°CにてRTAを行い、シリサイド膜10を形成する。なお、この熱処理において、TiがSiが接している領域にはチタンシリサイド(TiSi₂)膜10が形成され、窒素ガスと接触しているTi膜13の表面にはチタンナイトライド(TiN)が形成される。次に、図1(b)に示すように、ゲート電極部5の上部にシリサイド膜10を形成後、未反応のTi膜13及び窒素ガスとの反応物を除去する。この反応物を除去する方法は特に限定されるものではない。例えば第1の方法としては、フォトリソグラフィを行った後、反応性イオンエッティングにて除去する。反応性イオンエッティングは、反応物がTiNの場合、例えばエッティングガスとしてBC13を20~150sccm及びC12を50~200sccm程度の流量、圧力を10~20mTorr程度、エッティングパワー100~500W程度の条件を用いてエッティングできる。上記の条件を用いると酸化膜とTiNとの選択比は7~15程度である。本方法を採用すると、ゲート電極部5の上部に形成されているTiNとゲート電極部5を構成するシリサイド膜10、多結晶シリコン膜4及びサイドウォールスペーサー6との選択性が保たれる為に、ゲート電極部5が大きくエッティングされることはない。また、サイドウォールスペーサー6

の幅の分だけフォトリソグラフィ時のアライメントずれを許容できる為に、マージンをもたせることも可能である。

【0028】また第2の方法としては、周知の化学機械研磨法を用いることも可能である。化学機械研磨法は例えばウェーハーを200~400 g/cm²程度加圧した状態で毎分40~50回転程度回転させることにより表面にTiNが形成されたTi膜13を研磨除去する。このとき、TiNが非常に薄いのでゆっくり研磨することが必要である。

【0029】更に、第3の方法として、前記第1の方法と同様にフォトリソグラフィを行った後、液体を用いてTiNをエッチング除去する。TiNを溶解する液体としては、過酸化水素水とアンモニア水とを混合した溶液（混合比は過酸化水素水：アンモニア水：水=1:1:3~8）、温度50~80°Cが使用出来る。本方法を用いた場合もゲート電極部5の上部に形成されているTiNとシリサイド膜10、多結晶シリコン膜4及びサイドウォールスペーサー6との選択性が保たれる。なお、上述したゲート電極上の反応物を除去する3つの方法のうち、最も好ましい方法は第1の方法である反応性イオンエッチングを用いた方法である。反応性イオンエッチングは異方性である為に、TiNを除去する必要のある部分のみ除去することが可能だからである。

【0030】次に、図1(c)に示すように、高融点金属膜19を堆積し、熱処理を行うことによって、ゲート電極部5の多結晶シリコン膜4のシリサイド化反応が進行する。しかし、TiNを除去していないソース/ドレイン領域7上にはTiNが残存している為にシリサイド化反応は進行しない。この結果、ソース/ドレイン領域7のシリサイド膜10の膜厚は増加させずに、ゲート電極部5のシリサイド膜厚14のみを増加させることが可能となる。なお、ゲート電極部5の上に形成する高融点金属膜19はシリサイド膜10を形成するために用いた高融点金属と同種の金属を使用する必要はなく、また高融点金属の堆積膜厚もゲート電極上に形成する所望のシリサイド膜厚に合わせて任意に決定することができる。また、高融点金属を堆積する前又は堆積後に、シリサイド化反応を促進させる為のイオン注入を行ってもよい。

【0031】ここで、イオン注入のエネルギー及び注入量などは任意に決定することができる。例えば、TiNを選択的に除去したゲート電極部5のシリサイド膜10のみにイオン注入することができる程度の低いエネルギーを用いると、ソース/ドレイン領域7上のシリサイド膜10はTi膜19により保護されている為に、イオン注入の影響を受けることない。この結果、ゲート電極部5の多結晶シリコン膜4のみシリサイド化反応を促進させることができる。また、ソース/ドレイン領域7のシリサイド膜10にイオン注入される程度の高いエネルギーを用いると、一旦形成されたシリサイド膜10が非晶

質化されて低抵抗層への相転移を促進できる為に、シリサイド膜10の膜厚を変化させることなく低抵抗化できる。なお、エネルギーの高い注入を行った場合でもゲート電極部5の多結晶シリコン膜4のシリサイド化反応も促進されることはいうまでもない。

【0032】ゲート電極上の反応物を除去する方法としては、例えば、フォトリソグラフィを行い、その後反応性イオンエッチングにて除去する方法等が用いられる。その後、500Å程度の厚さのTi膜19を全面に形成し、窒素ガスの雰囲気下で40秒間、700°Cにてランプアニール(RTA)を行い、ゲート電極部5の多結晶シリコン膜4のみにシリサイド膜14を形成する。この際、ソース/ドレイン領域7上にはTiNが残存している為に、シリサイド化反応がTiNによりブロッキングされ、シリサイド膜の膜厚は増加しない。具体的には、Si, Sb, As, Ga, Ge等のイオンを、注入エネルギー10KeV~50KeV、注入量は5×10¹⁴~1×10¹⁶cm⁻²で任意に選択することができる。

【0033】続いて、未反応のTi膜13及びその表面に形成された反応物であるTiNを同時に除去する方法としては、硫酸と過酸化水素水の混合液に30分間、アンモニア水と過酸化水素水との混合液に2分間浸漬する。この方法により、ソース/ドレイン領域7上とゲート電極部5上のTi膜及びTiN膜が同時に除去される。その後、シリサイド膜14の低抵抗化の為に、窒素ガス雰囲気化で10秒間、850°Cにてランプアニールを行う。次に、図1(d)に示すように、層間絶縁膜11を形成した後、所定の箇所にコンタクトホール12を開口し、各トランジスタのソース/ドレイン領域7に電気的に接続されるコンタクトが形成される。

【0034】(実施例2)図2は図1(c)の工程に相当する工程をあらわした図面であり、他の工程は図1と同一である。即ち、実施例1における図1(b)の工程まで処理を行ってゲート電極部5の上部のみTi膜19及びその反応物を除去した後、選択成長によりチタン膜20を堆積した状態を示す。選択成長には、前記のチタンのシリサイド膜の他にタングステンも可能である。

【0035】(実施例3)図3は、図1のシリコン基板1のかわりにSOI基板21を用いて実施例1と同一工程により製造された半導体装置である。本発明に使用されるSOI基板はシリコン厚400~1500Å、酸化膜18の膜厚400~1500Åのものが好ましい。SOI基板を使用した場合、本発明により得られるソース/ドレイン領域のシリサイド厚10は200~400Å程度であり、トランジスタのソース/ドレイン領域上の接合リード電流の低減及び埋め込み酸化膜の耐圧劣化の防止に効果がある。

【0036】

【発明の効果】本発明により、第1シリサイド膜形成時に生じた雰囲気ガスとの反応物をゲート電極上のみ除去

した後、第2シリサイド膜を堆積、熱処理することによってゲート電極上に低いシート抵抗値の厚いシリサイド膜を簡易な方法で形成することが可能になった。これは、ソース／ドレイン領域上の反応物が第2高融点金属の熱処理時にソース／ドレイン領域への高融点金属の拡散を防止するブロッキング膜として作用するからであり、簡略で低コストの製造方法を提供することができる。

【0037】また、本発明は、シリコン基板にとどまらずSOI基板への適用が可能であり、形成されるトランジスタのソース／ドレイン領域上の接合リード電流の低減、埋込み酸化膜の耐圧劣化の防止に効果がある。

【図面の簡単な説明】

【図1】本発明の実施例1の製造工程を示す断面図である。

【図2】本発明の実施例2の製造工程の一部を示す断面図である。

【図3】本発明の実施例3の製造工程の一部を示す断面図である。

【図4】第1の従来技術の製造工程を示す断面図である。

【図5】第2の従来技術の製造工程の一部を示す断面図

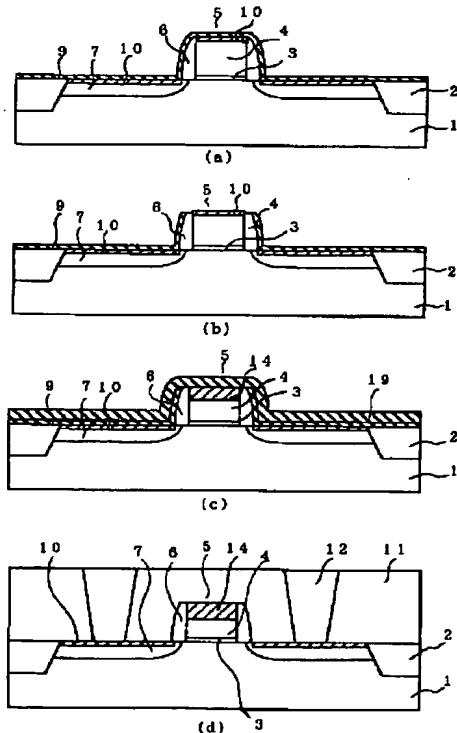
である。

【図6】第3の従来技術の製造工程の一部を示す断面図である。

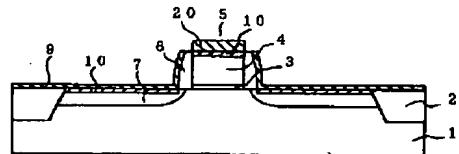
【符号の説明】

1	シリコン基板
2	フィールド酸化膜
3	ゲート酸化膜
4	多結晶シリコン膜
5	ゲート電極部
6	サイドウォールスペーサー
7	ソース／ドレイン領域
9	高融点金属膜
10	シリサイド膜
11	層間絶縁膜
12	コンタクトホール
14	シリサイド膜
15	バシベーション膜
16	PSG絶縁層
17	埋込み金属膜
18	厚い層間絶縁膜
19	高融点金属膜
20	選択成長された高融点金属膜

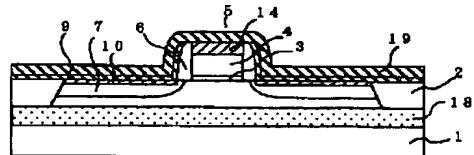
【図1】



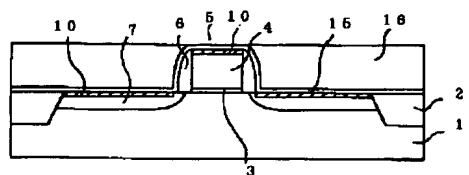
【図2】



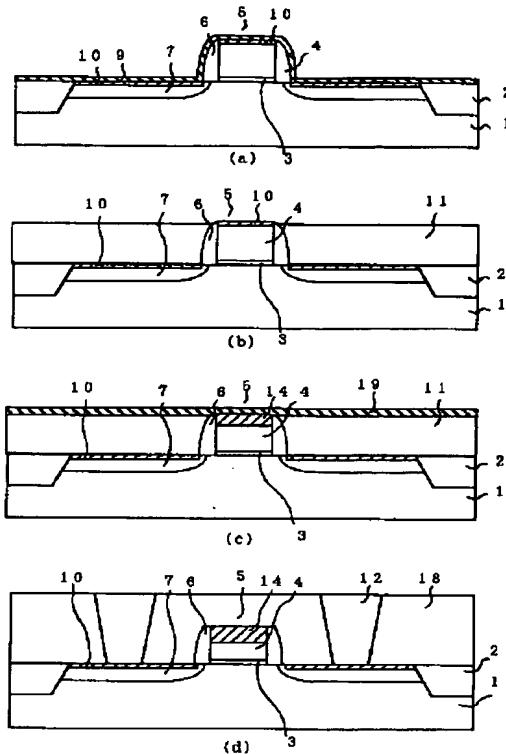
【図3】



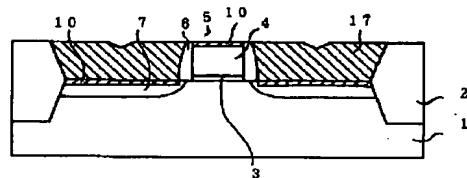
【図5】



【図4】



【図6】



フロントページの続き

F ターム(参考) 4M104 AA01 AA09 BB01 BB20 BB21
 BB22 BB25 BB27 BB28 CC01
 CC05 DD02 DD22 DD34 DD37
 DD43 DD79 DD84 DD86 DD89
 GG09 HH16
 5F040 DA00 DA10 DC01 EB12 EC07
 EC13 EH02 EK01 FA05 FC00
 FC09 FC19 FC21
 5F110 AA01 AA05 CC02 DD05 EE05
 EE09 EE14 EE32 EE43 EE44
 EE45 EE48 FF02 GG02 GG12
 HJ01 HJ13 HJ23 HK05 HK32
 HK33 HK34 HK42